

Partial English Translation of

LAID OPEN unexamined

JAPANESE PATENT APPLICATION

Publication No. 2000-319936

[0043] to [0062]

[0043]

Further, the portion of the Si cap layer 9, which is the side of the emitter diffusion layer 9a and is immediately below the underlying oxide film 11, is doped with boron at a concentration equal to that of boron doped in the inclined SiGe base layer 8. A link region Blink is formed in an area sandwiched between an intrinsic base layer Bint and an external base implantation region Bex so as to be located across the Si cap layer 9 and the inclined SiGe base layer 8. In this association, the link region Blink of the external base layer, which is located below the underlying oxide film 11, increases in a thickness direction so as to include not only the inclined SiGe base layer 8 but also the Si cap layer 9. In this way, the HBT according to the present embodiment is characterized in that the thickness of the link region Bex of the external base layer increases.

[0044] Wherein, the surface portion of the Si epitaxial layer 4 in the external base implantation region Bex is doped with boron at a concentration of approximately 3×10^{17} atoms/cm³, to serve as a junction leakage prevention layer.

[0045] Further, sidewalls 20 and 22 each formed of a silicon oxide film are provided on the side face of an emitter leading electrode 10 and on the side face of a laminated film of the Si cap layer 9, the inclined SiGe base layer 8 and the SiGe spacer layer 7, respectively.

[0046] An interlayer insulating film 13 formed of a BSG (Boron Silicate Glass) film is provided on the wafer. Contact holes are provided in the interlayer insulating film 13 so as to reach the emitter leading electrode 10, a region 9b of the Si cap layer 9 which is to be part of the external base layer, and the collector wall layer 3b, respectively. A tungsten plug 12 is buried in each contact hole, which is in contact with a silicide layer 21

formed on each surface of the emitter leading electrode 10, the region 9b of the Si cap layer 9 which is to be part of the external base layer, and the collector wall 3b. Further, a metal wiring 14 connected to each tungsten plug 12 is provided on the interlayer insulating film 13.

[0047] Since in the SiGe-HBT according to the present embodiment, an area, which is located below the underlying oxide film 11, of the region 9b of the Si cap layer 9 which is to be part of the external base layer is doped with boron at a relatively high concentration (approximately 2×10^{18} atoms/cm³), the link region Blink increases in a thickness direction so as to include not only the inclined SiGe base layer 8 but also the Si cap layer 9. The component Rlink of the link region Blink in the base resistance R_B shown in Equation (2) is reduced to, for example, approximately 4/7 thereof, which reduces the base resistance R_B , and hence, the maximum oscillation frequency fmax shown in Equation (1) of the HBT can be improved.

[0048] In the meanwhile, the Si cap layer 9 is entirely doped with a P-type impurity, however, the conductivity type of the emitter diffusion layer 9a of the Si cap layer 9 is inverted owing to diffusion of an N-type impurity from the emitter leading electrode 10, and the impurity profile of a longitudinal cross section going through the emitter diffusion layer 9a and the intrinsic base layer Bint is almost the same as that of the HBT including a conventional undoped Si cap layer. Therefore, degradation in the current gain cutoff frequency f_T is only negligible. Further, since PN junction is formed between the emitter diffusion layer 9a and the other region (region 9b to be part of the external base layer) of the Si cap layer, charging and discharging times of the emitter junction capacitance are increased by slight increase in emitter junction capacitance, however, the value of the current gain cutoff frequency f_T is hardly influenced thereby. Moreover, no decrease in the withstand pressure of the emitter/base junction is caused by setting the impurity concentration of the Si cap layer 9 approximately equal to that of the inclined SiGe base layer 8.

[0049] In this way, in the HBT having the single polysilicon structure according to the present embodiment, the base resistance can be lowered while degradation in high frequency characteristics is being prevented and the junction withstand pressure is being kept unchanged. In this

association, increase in the maximum oscillation frequency f_{max} and lowering in noise can be realized.

[0050] Next, the fabrication process of the SiGe-HBT according to the present embodiment will be described. Figures 2(a) to 4(d) are sectional views illustrating the fabrication process of the SiGe-HBT according to the present embodiment, wherein, Figures 2(a) to 2(d) are sectional views illustrating the process from the first of the SiGe-HBT formation process to deposition of an emitter leading electrode polysilicon film, Figures 3(a) to 3(d) are sectional views illustrating the process from formation of the emitter leading electrode to deposition of a coating oxide film, and Figures 4(a) to 4(d) are sectional views illustrating the process from formation of the sidewall on the side face of, for example, the emitter leading electrode to formation of the wiring.

[0051] Firstly, in the process shown in Figure 2(a), after the collector-buried layer 5 is formed by implanting an N-type impurity (for example, phosphorus) into the Si substrate 1, the Si epitaxial layer 4 is formed on the Si substrate 1 by epitaxial growth. At this time, an impurity such as phosphorus in the collector-buried layer 5 is diffused into the epitaxial layer 4. Thereafter, the shallow trench 2a and the deep trench 2b are formed, and then, the HBT formation region Rbt is divided into the first active region Rel for forming the emitter/base junction and the second active region Re2 for leading the collector electrode. That is, the Si collector layer 3a is formed in the first active region Rel of the Si epitaxial layer 4 and the collector wall layer 3b is formed in the second active region Re2 thereof.

[0052] Secondly, in the process shown in Figure 2(b), an undoped SiGe layer containing Ge with a 15% concentration, a doped inclined SiGe layer which contains a P-type impurity, boron, and Ge in which concentration gradually decreasing from 15 % to 0 %, and a doped Si layer containing boron as a P-type impurity are deposited nearly sequentially on the wafer by epitaxial growth using UHV-CVD, while the gas species are being changed. Next, the doped Si layer, the doped inclined SiGe layer and the undoped SiGe layer are patterned so that the SiGe spacer layer 7, the inclined SiGe doped layer 8 and the Si cap layer 9 are formed on the first active region Rel of the Si epitaxial layer 4. Herein, the inclined SiGe

base layer 8 has a thickness of approximately 40 nm and includes the impurity doped therein at a concentration of 2×10^{18} atoms/cm⁻³. The Si cap layer 9 has a thickness of approximately 30 nm and includes the impurity doped therein at a concentration of approximately 2×10^{18} atoms/cm⁻³.

[0053] Next, in the process shown in Figure 2(c), after a silicon oxide film 11x having a thickness of approximately 30 nm is deposited on the wafer, part of the silicon oxide film 11x is selectively removed by wet etching so that the emitter opening part 11a is formed and part of the Si cap layer 9 is exposed at the bottom of the emitter opening part 11a. At this time, since the silicon oxide film 11x is subjected to wet etching, the Si cap layer 9 is not damaged.

[0054] Then, in the process shown in Figure 2(d), an N-type polysilicon film 10x having a thickness of approximately 250 nm and containing phosphorus (P) doped at a high concentration therein by in-situ doping and a silicon nitride film 16x to be an implantation protection film are deposited on the wafer. Wherein, an N-type impurity (phosphorus or arsenic) may be doped in the polysilicon film 10x by ion implantation.

[0055] Further, in the process shown in Figure 3(a), the silicon nitride film 16x, the polysilicon film 10x and the silicon oxide film 11x are patterned by dry etching using a photoresist film 17A so that the emitter leading electrode 10 in contact with the Si cap layer 9 at the emitter opening part 11a, the underlying oxide film 11 and the implantation protection film 16 on the emitter leading electrode 10 are formed.

[0056] Furthermore, in the process shown in Figure 3(b), after the photoresist film 17A is removed, a photoresist film 17B covering at least the collector wall layer 3b is formed on the wafer, and ions of boron (B) are implanted using the photoresist film 17B and the implantation protection film 16 as masks. In this way, boron is doped into the regions Bex of the Si cap layer 9, the inclined SiGe base layer 8 and the SiGe spacer layer 7, which are located outside the emitter leading electrode 10. Thereafter, boron is doped into the surface portion of the Si epitaxial layer 4 in the external base implantation region Bex at a concentration of approximately 3×10^{17} atoms/cm⁻³ to form a diffusion leakage protection layer.

[0057] Moreover, in the process shown in Figure 3(c), after the photoresist film 17B and the implantation protection film 16 are removed, a covering oxide film 18 formed of a silicon oxide film for preventing impurity diffusion at thermal treatment is deposited on the wafer.

[0058] Next, in the process shown in Figure 3(d), rapid thermal appealing (RTA) is performed at a temperature of 900 °C for 15 seconds so that phosphorus in the emitter leading electrode 10 is diffused into the Si cap layer 9 to form the emitter diffusion layer 9a in the region of the Si cap layer 9, which is located below the emitter opening part 11a.

[0059] Thereafter, in the process shown in Figure 4(a), the covering oxide film 18 and the silicon oxide film 11x are subjected to anisotropic etching to form the sidewalls 20 and 22 on the side face of the emitter leading electrode 10 and on the side of the laminated film of the Si cap layer 9, the inclined SiGe base layer 8 and the SiGe spacer layer 7, respectively.

[0060] Subsequently, in the process shown in Figure 4(b), after a metal film (for example, a titanium film) is deposited on the emitter leading electrode 10 exposed on the wafer, the region 9b of the Si cap layer 9 to be part of the external base layer, and the collector wall layer 3b, the metal and silicon are allowed to react with each other by thermal treatment so that a silicide layer (for example, a titanium silicide layer) 21 is formed on the emitter leading electrode 10, the region 9b of the Si cap layer 9 to be part of the external base layer, and the collector wall layer 3b.

[0061] Further, in the process shown in Figure 4(c), the interlayer insulating film 13 formed of a BSG film is deposited on the wafer.

[0062] Moreover, in the process shown in Figure 4(d), after contact holes are formed in the interlayer insulating film 13 so as to reach the emitter leading electrode 10, the region 9b of the Si cap layer 9 to be part of the external base layer, the collector wall layer 3b, respectively, tungsten is filled into each contact hole to form a tungsten plug 12 in contact with the silicide layer 21 formed on the respective surface portions of the emitter leading electrode 10, the region 9b of the Si cap layer 9 to be part of the external base layer, and the collector wall layer 3b. Next, a metal wiring 14 made of aluminum is formed on the interlayer insulating film 13 so as to be connected to each tungsten plug 12. In this way, the structure of the HBT as shown in Figures 1(a) and 1(b) is realized.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-319936

(43)Date of publication of application : 16.11.2001

(51)Int.Cl.

H01L 21/331

H01L 29/73

H01L 29/165

(21)Application number : 2000-139560

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 12.05.2000

(72)Inventor : TAKAGI TAKESHI

ASAI AKIRA

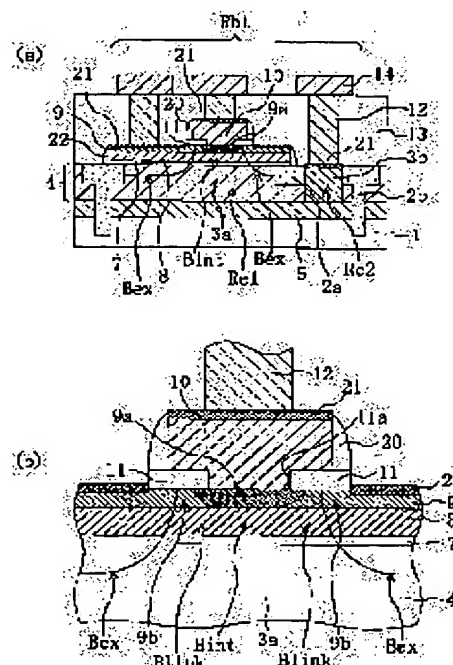
ONISHI TERUTO

(54) BIPOLAR TRANSISTOR AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a heterobipolar transistor where the resistance of an outer base layer is small and a manufacturing method of the transistor.

SOLUTION: An undoped SiGe spacer layer 7, an inclined SiGe base layer 8 where boron is doped and an Si cap layer 9 where boron is doped are sequentially installed on an Si epitaxial layer where an Si sub-collector layer 3a is installed. A mat oxide film 11 is installed on the Si cap layer 9 and an emitter lead electrode 10 filling the emitter opening 1 of the mat oxide film 11 is installed. Phosphorus in the emitter lead electrode 10 is diffused to a part of the Si cap layer 9 and an emitter diffusion layer 9a is formed. Since a link area Rlink positioned below the mat oxide film 11 in an outer base layer is formed from the inclined SiGe base layer 8 to the Si cap layer 9, the outer base resistance is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-319936
(P2001-319936A)

(43) 公開日 平成13年11月16日 (2001. 11. 16)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 21/331
29/73
29/165

H 0 1 L 29/165
29/72

5 F 0 0 3

審査請求 未請求 請求項の数11 O L (全 19 頁)

(21) 出願番号 特願2000-139560 (P2000-139560)

(22) 出願日 平成12年5月12日 (2000. 5. 12)

(71) 出願人 00005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 高木 剛

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 浅井 明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外1名)

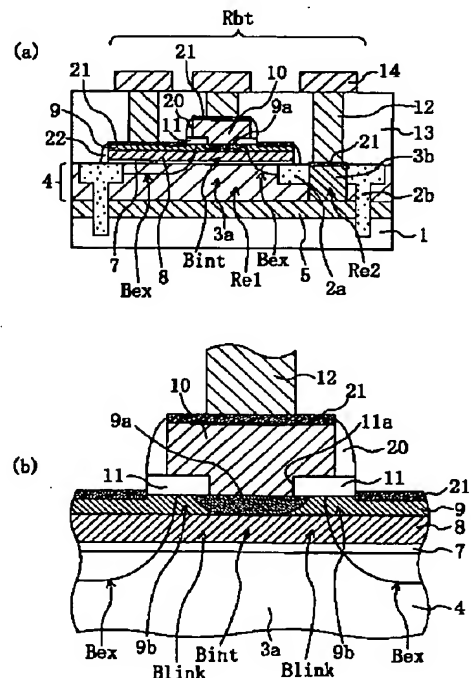
最終頁に続く

(54) 【発明の名称】 バイポーラトランジスタ及びその製造方法

(57) 【要約】

【課題】 外部ベース層の抵抗値の小さいヘテロバイポーラトランジスタ及びその製造方法を提供する。

【解決手段】 Siサブコレクタ層3aが設けられたSiエピタキシャル層4の上に、アンドープのSiGeスペーサ層7、ボロンがドーパされた傾斜SiGeベース層8、ボロンがドーパされたSiキャップ層9が順次設けられている。Siキャップ層9の上には、下敷き酸化膜11が設けられており、下敷き酸化膜11のエミッタ開口部11aを埋めるエミッタ引き出し電極10が設けられている。そして、エミッタ引き出し電極10中のリンクがSiキャップ層9の一部に拡散されてエミッタ拡散層9aが形成されている。外部ベース層のうち下敷き酸化膜11の下方に位置するリンク領域Rlinkが傾斜SiGeベース層8からSiキャップ層9に亘って形成されているので、外部ベース抵抗が低減する。



【特許請求の範囲】

【請求項1】 基板上に設けられ、第1導電型不純物を含むコレクタ層として機能する第1の半導体層と、上記第1の半導体層の上に設けられ、第2導電型不純物を含む第2の半導体層と、

上記第2の半導体層の上に設けられ、上記第2の半導体層とはバンドギャップが異なる材料からなり、少なくとも下部に第2導電型不純物を含む第3の半導体層と、上記第3の半導体層の上に設けられた下敷き絶縁膜と、上記下敷き絶縁膜に設けられ、上記第3の半導体層に達する開口部と、

第1導電型不純物を含む導体材料により構成され、上記下敷き絶縁膜の開口部を埋めて上記第3の半導体層に接触するエミッタ引き出し電極とを備えたバイポーラトランジスタにおいて、

上記第3の半導体層は、上記開口部の下方に位置する第1導電型のエミッタ拡散層を有しており、上記第2の半導体層は、上記第1の半導体層のエミッタ拡散層に接する真性ベース層を有していることを特徴とするバイポーラトランジスタ。

【請求項2】 請求項1記載のバイポーラトランジスタにおいて、

上記第3の半導体層の少なくとも下部に含まれる第2導電型不純物の濃度は、上記第2の半導体層の第2導電型不純物の濃度と実質的に等しいことを特徴とするバイポーラトランジスタ。

【請求項3】 請求項1又は2記載のバイポーラトランジスタにおいて、

上記エミッタ引き出し電極は、第1導電型不純物がドーパされたポリシリコン膜により構成されており、上記第3の半導体層のエミッタ拡散層は、上記エミッタ引き出し電極から拡散した第1導電型不純物によって第1導電型に反転しているものであることを特徴とするバイポーラトランジスタ。

【請求項4】 請求項1～3のうちいずれか1つに記載のバイポーラトランジスタにおいて、

上記エミッタ引き出し電極は、ポリシリコン膜により構成されており、

上記第2又は第3の半導体層のうち上記エミッタ引き出し電極の外方に位置する領域からベース電極が引き出されていることを特徴とするシングルポリシリコン型のバイポーラトランジスタ。

【請求項5】 請求項1～3のうちいずれか1つに記載のバイポーラトランジスタにおいて、

上記エミッタ引き出し電極は、ポリシリコン膜により構成されており、

上記第3の半導体層のうち上記下敷き絶縁膜の外方に位置する部分に接して設けられ、第2導電型不純物がドーパされたポリシリコンにより構成されるベース引き出し電極をさらに備えていることを特徴とするバイポーラ

ランジスタ。

【請求項6】 請求項1～5のうちいずれか1つに記載のバイポーラトランジスタにおいて、

上記基板はシリコン基板であり、

上記第1の半導体層はSi層であり、

上記第2の半導体層はSiGe層であり、

上記第3の半導体層はSi層であることを特徴とするバイポーラトランジスタ。

【請求項7】 基板上の第1導電型不純物を含むコレクタ層となる第1の半導体層の上に、第2導電型不純物を含むベース層となる第2の半導体層を形成する工程

(a)と、

上記第2の半導体層の上に、上記第2の半導体層とはバンドギャップが異なる材料からなり、少なくとも下部に第2導電型不純物を含む第3の半導体層をエピタキシャル成長により形成する工程(b)と、

基板上に下敷き絶縁膜を堆積する工程(c)と、

上記下敷き絶縁膜に上記第3の半導体層に達する開口部を形成する工程(d)と、

上記第3の半導体層のうち上記開口部の下方に位置する領域に第1導電型不純物を導入して、エミッタ拡散層を形成する工程(e)とを含むバイポーラトランジスタの製造方法。

【請求項8】 請求項7記載のバイポーラトランジスタの製造方法において、

上記工程(d)の後で上記工程(e)の前に、基板上に導体膜を堆積した後、上記導体膜をパターンニングして上記下敷き絶縁膜の開口部を埋めて上記下敷き絶縁膜の上に延びる第1導電型不純物を含むエミッタ引き出し電極を形成する工程をさらに含み、

上記工程(e)は、熱処理により、上記エミッタ引き出し電極中の第1導電型不純物を上記第3の半導体層に拡散させることにより行なわれることを特徴とするバイポーラトランジスタの製造方法。

【請求項9】 請求項7又は8記載のバイポーラトランジスタの製造方法において、

上記工程(d)においては、ウェットエッチングにより上記開口部を形成することを特徴とするバイポーラトランジスタの製造方法。

【請求項10】 請求項7記載のバイポーラトランジスタの製造方法において、

上記工程(d)の後に、基板上に導体膜及びマスク用絶縁膜を堆積した後、該マスク用絶縁膜及び導体膜をパターンニングしてマスク膜及びエミッタ引き出し電極を形成する工程と、

上記マスク膜及びエミッタ引き出し電極をマスクとして、第2導電型不純物のイオン注入を行なうことにより、上記第2、第3の半導体層のうち上記エミッタ引き出し電極の外方に位置する領域に外部ベース注入層を形成する工程とをさらに含むことを特徴とするバイポーラ

トランジスタの製造方法。

【請求項 11】 請求項 8 記載のバイポーラトランジスタの製造方法において、

上記工程 (c) の後で上記工程 (d) の前に、
上記下敷き絶縁膜の上に上記第 3 の半導体層の一部を覆うマスク部材を形成する工程と、

上記マスク部材を用いたエッチングにより、上記第 3 の半導体層の一部のみを覆うように下敷き絶縁膜をパターンニングした後、上記マスク部材を用いて第 2 導電型不純物のイオン注入を行なうことにより、上記第 2、第 3 の半導体層のうち上記下敷き絶縁膜の外方に位置する領域に外部ベース注入層を形成する工程と、

上記外部ベース注入層の形成の後、基板上に上記導体膜とは別の導体膜を堆積した後、上記別の導体膜に上記下敷き絶縁膜に到達する開口部を形成する工程と、

上記別の導体膜の開口部の側面を覆う絶縁性の側壁保護膜を形成する工程とをさらに含み、

上記工程 (d) は、上記側壁保護膜を形成する工程の後で行なわれるとともに、

上記工程 (d) の後に、基板上に導体膜を堆積した後、
該導体膜をパターンニングしてエミッタ引き出し電極を形

$$f_{\max} = \sqrt{(f_T / 8\pi \cdot R_B \cdot C_{BC})}$$

f_T : 電流利得遮断周波数

R_B : ベース抵抗

C_{BC} : ベース・コレクタ接合容量

上記各パラメータの改善の中でもベース抵抗 R_B を低減することは、雑音特性を改善する効果もあることから、もっとも重要な課題である。そのためには、真性ベース層の低抵抗化だけでなく、ベース電極をコンタクトさせるための外部ベース層の低抵抗化を実現することも必要である。

【0005】また、近年、シリコンウエハ上に作製可能な IV-IV 族化合物である SiGe 系の材料をベース層に用いたヘテロバイポーラトランジスタ (SiGe-HBT) が注目を集めている。

【0006】SiGe-HBT は、SiGe ベース層の Ge 含有率をエミッタ側からコレクタ側に向けて徐々に増加させた傾斜組成ベース構造のもの (L. Harame et al., "Optimization of SiGe HBT Technology for High Speed Analog and Mixed-Signal Applications," IEDM Tech. Dig. 1993, p. 71.) が代表的である。

【0007】この傾斜組成ベース構造では、ベース層に注入されたキャリアは、傾斜組成による電界によりベース層をドリフト走行する。ドリフト電界によるキャリアの走行は、拡散による走行に比べて高速であるため、ベース走行時間の短縮が図られ、良好な高周波特性が得られている。また、SiGe-HBT では、従来のシリコンによるバイポーラトランジスタに比べ、ベース層の不純物濃度を高くしても電流増幅率が低下しないため、結果としてベース抵抗が低減され、 f_{\max} の向上や低雑

成する工程をさらに含むことを特徴とするバイポーラトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バイポーラトランジスタの高性能化を実現する素子の構造および製造方法に関する。

【0002】

【従来の技術】従来より、エミッタ層と外部ベース層とを自己整合的に形成することによりベース容量を低減するとともに、ベース抵抗を小さくすることにより、バイポーラトランジスタの動作の高速性をより高めようとする自己整合型バイポーラトランジスタの開発が進められている。

【0003】バイポーラトランジスタの最大発振周波数 f_{\max} の向上を図るためには、下記式 (1) に示すように、電流利得遮断周波数 f_T の向上、ベース抵抗 R_B の低減、ベース・コレクタ間容量 C_{BC} の低減が有効であることがわかる。

【0004】

(1)

音化が図られている。このように、高周波特性に優れた SiGe-HBT は、汎用のシリコンプロセスを利用して作製できるため、高周波無線用 IC などの BiCMOS デバイスにも用いられつつある。

【0008】図 13 (a), (b) は、従来のシングルポリシリコン型の SiGe-HBT の構造を示す断面図、及びエミッタベース接合部付近の構造を拡大して示す部分断面図である。

【0009】図 13 (a) に示すように、Si 基板 101 のコレクタ埋め込み層 105 の上には Si エピタキシャル層 104 が設けられており、この Si エピタキシャル層 104 には、活性領域を区画するためのシャロートレンチ 102a が設けられている。また、シャロートレンチ 102a よりもさらに下方に延びて Si 基板 101 の奥方に達するディープトレンチ 102b が設けられている。このディープトレンチ 102b により HBT 形成領域 Rbt が取り囲まれ、シャロートレンチ 102a により、HBT 形成領域 Rbt が第 1 の活性領域 Re1 と第 2 の活性領域 Re2 とに区画されている。そして、Si エピタキシャル層 104 内のコレクタ埋め込み層 105 の上方に位置する領域において、第 1 の活性領域 Re1 には Si コレクタ層 103a が、第 2 の活性領域 Re2 にはコレクタウォール層 103b がそれぞれ設けられている。さらに、Si エピタキシャル層 104 のうち第 1 の活性領域 Re1 の上には、エピタキシャル成長によって形成された Ge 含有率が約 15% で厚み 20 nm の SiGe スペーサ層 107 が設けられている。この SiGe スペーサ層 107 は、ボロンの拡散によるパラスティックバリア

(寄生バリア)の形成を抑制するためのものであって、不純物がドーピングされていないアンドープ層である。また、SiGeスペーサ層107の上には、Ge含有率が15%から上方に向かって減少し上端で0%となっている傾斜SiGeベース層108が設けられている。この傾斜SiGeベース層108の厚みは約40nmで、傾斜SiGeベース層108内には、in-situ ドーピングによりボロンが導入されている。さらに、傾斜SiGeベース層108の上には、エピタキシャル成長により形成された厚み約20nmのアンドープのSiキャップ層109が設けられている。

【0010】また、Siキャップ層109の上には、シリコン酸化膜からなる下敷き酸化膜111が設けられており、下敷き酸化膜111には、Siキャップ層109の一部を露出させるエミッタ開口部111aが形成されている。そして、下敷き酸化膜111のエミッタ開口部111aを埋めて、下敷き酸化膜111上に延びるリンがドーピングされたポリシリコン膜からなるエミッタ引き出し電極110が設けられている。一方、上記Siキャップ層109のうちエミッタ開口部111aの下方に位置する領域には、エミッタ引き出し電極110からの拡散によるリンがドーピングされたエミッタ拡散層109aが形成されている。

【0011】そして、傾斜SiGeベース層108のうちエミッタ拡散層109aの直下方に位置する領域が真性ベース層Bintである。また、SiGeスペーサ層107、傾斜SiGeベース層108及びSiキャップ層109のうち、エミッタ引き出し電極110の外方に位置する領域には、イオン注入によりP型不純物であるボロン(B)がドーピングされて外部ベース注入層Bexが形成されており、この外部ベース注入領域Bexが外部ベース層の一部となっている。また、傾斜SiGeベース層8のうち下敷き酸化膜111の下方において、真性ベース層Bintと外部ベース注入領域Bexとに挟まれているリンク領域Blinkも外部ベース層の一部となっている。

【0012】なお、エミッタ引き出し電極110の側面と、Siキャップ層109、SiGe傾斜SiGeベース層108及びSiGeスペーサ層107からなる積層膜の側面とは、それぞれシリコン酸化膜からなるサイドウォール120、122が設けられている。さらに、ウエハ上には、BSG(Boron Silicate Glass)膜からなる層間絶縁膜113が設けられている。層間絶縁膜113には、エミッタ引き出し電極110、Siキャップ層109、コレクタウォール層103bにそれぞれ到達する接続孔が設けられており、各接続孔には、エミッタ引き出し電極110、Siキャップ層109、コレクタウォール層103bの表面部に形成されたシリサイド層121に接触するタングステンプラグ112が埋め込まれている。また、層間絶縁膜113の上には、各タングステンプラグ112に接続される金属配線114が設け

られている。

【0013】ここで、下敷き酸化膜111が設けられていることで、下敷き酸化膜111にエミッタ開口部111aを開く際に、ウエットエッチを用いることが可能となり、後にエミッタ拡散層109aとなるSiキャップ層109の表面部にエッチングダメージを与えないようにプロセスを進めることができる。

【0014】図14(a)、(b)は、従来のダブルポリシリコン型のSiGe-HBTの構造を示す断面図、及びエミッターベース接合部付近の構造を拡大して示す部分断面図である。

【0015】図14(a)に示すように、Si基板101のコレクタ埋め込み層105の上にはSiエピタキシャル層104が設けられており、このSiエピタキシャル層104には、活性領域を区画するためのシャロートレンチ102aが設けられている。また、シャロートレンチ102aよりもさらに下方に延びてSi基板101の奥方に達するディープトレンチ102bが設けられている。このディープトレンチ102bによりHBT形成領域Rbtが取り囲まれ、シャロートレンチ102aにより、HBT形成領域Rbtが第1の活性領域Re1と第2の活性領域Re2とに区画されている。そして、Siエピタキシャル層104内のコレクタ埋め込み層105の上方に位置する領域において、第1の活性領域Re1にはSiコレクタ層103aが、第2の活性領域Re2にはコレクタウォール層103bがそれぞれ設けられている。さらに、Siエピタキシャル層104のうち第1の活性領域Re1の上には、エピタキシャル成長によって形成されたGe含有率が約15%で厚み20nmのSiGeスペーサ層107が設けられている。このSiGeスペーサ層7は、ボロンの拡散によるプラスティックバリア(寄生バリア)の形成を抑制するためのものであって、不純物がドーピングされていないアンドープ層である。また、SiGeスペーサ層107の上には、Ge含有率が15%から上方に向かって減少し上端で0%となっている傾斜SiGeベース層108が設けられている。この傾斜SiGeベース層108の厚みは約40nmで、傾斜SiGeベース層108内には、in-situ ドーピングによりボロンが導入されている。さらに、傾斜SiGeベース層108の上には、エピタキシャル成長により形成された厚み約20nmのアンドープのSiキャップ層109が設けられている。また、Siキャップ層109の上には、シリコン酸化膜からなる下敷き酸化膜111が設けられており、下敷き酸化膜111には、Siキャップ層109の一部を露出させるエミッタ開口部111aが形成されている。そして、下敷き酸化膜111のエミッタ開口部111aを埋めるポリシリコンからなるエミッタ引き出し電極110が設けられている。

【0016】一方、上記Siキャップ層109のうちエミッタ開口部111aの下方に位置する領域には、エミ

ット引き出し電極110からの拡散によるリンがドーブされたエミッタ拡散層109aが形成されている。

【0017】また、下敷き酸化膜111の上には、P型不純物がドーブされたポリシリコン膜からなるベース引き出し電極131と、シリコン酸化膜からなる電極間絶縁膜132とが設けられている。ベース引き出し電極131及び電極間絶縁膜132のうち、下敷き酸化膜111のエミッタ開口部111aの上方に位置する部分は開口されていて、ベース引き出し電極121及び電極間絶縁膜132の側面には、酸化膜サイドウォール133が設けられ、さらに、酸化膜サイドウォール133の上にポリシリコンサイドウォール134が設けられている。そして、上述のエミッタ引き出し電極110は、エミッタ開口部111aを埋め、ポリシリコンサイドウォール134及び酸化膜サイドウォール133を挟んでベース引き出し電極131と対向している。つまり、酸化膜サイドウォール133によって、エミッタ引き出し電極110とベース引き出し電極131とが電気的に絶縁されるとともに、ベース引き出し電極131からエミッタ引き出し電極110への不純物の拡散が阻止されている。また、電極間絶縁膜132によって、ベース引き出し電極131の上面とエミッタ引き出し電極110とが互いに絶縁されている。

【0018】そして、傾斜SiGeベース層108のうちエミッタ拡散層109aの直下方に位置する領域が真性ベース層Bintである。また、SiGeスペーサ層107、傾斜SiGeベース層108及びSiキャップ層109のうち、下敷き酸化膜111の外方に位置する領域には、イオン注入によりP型不純物であるボロン

(B)がドーブされて外部ベース注入層Bexが形成されており、この外部ベース注入領域Bexが外部ベース層の

$$R_B = R_{ex} + R_{link} + R_{int}$$

R_{ex} : 外部ベース層中の外部ベース注入領域Bexの抵抗成分

R_{link} : 外部ベース層中のリンク領域Blinkの抵抗成分

R_{int} : 真性ベース層Bintの抵抗成分

により表される。

【0023】このとき、上記リンク領域の抵抗成分 R_{link} は、ドライエッチングでエミッタ開口を形成することができないSiGe-HBTに特有の抵抗成分である。SiGe-HBTにおいては、傾斜SiGeベース層の不純物濃度を高くすることができるため、本来、ベース抵抗 R_B が低くなるはずであるが、この抵抗成分 R_{link}

$$R_B = R_{ps} + R_c + R_{ex} + R_{link} + R_{int}$$

R_{ps} : ベース引き出し電極の抵抗

R_c : ベース引き出し電極-Siキャップ層間のコンタクト抵抗

R_{ex} : 外部ベース層中の外部ベース注入領域Bexの抵抗成分

R_{link} : 外部ベース層中のリンク領域Blinkの抵抗成分

一部となっている。また、傾斜SiGeベース層8のうち下敷き酸化膜111の下方において、真性ベース層Bintと外部ベース注入領域Bexとに挟まれているリンク領域Blinkも外部ベース層の一部となっている。

【0019】なお、エミッタ引き出し電極110及び電極間絶縁膜132の外側面と、ベース引き出し電極131の外側面とには、シリコン酸化膜からなるサイドウォール120が設けられている。

【0020】さらに、ウエハ上には、BSG (Boron Silicate Glass) 膜からなる層間絶縁膜113が設けられている。層間絶縁膜113には、エミッタ引き出し電極110、ベース引き出し電極131、コレクタウォール層103bにそれぞれ到達する接続孔が設けられており、各接続孔には、エミッタ引き出し電極110、ベース引き出し電極131、コレクタウォール層103bの表面部に形成されたシリサイド層121に接触するタングステンプラグ112が埋め込まれている。また、層間絶縁膜113の上には、各タングステンプラグ112に接続される金属配線114が設けられている。

【0021】

【発明が解決しようとする課題】しかしながら、上記従来のSiGe-HBTの構造やプロセスフローにおいて、以下のような不具合がある。

【0022】上記図13(a)、(b)に示す従来のシングルポリシリコン型のSiGe-HBTにおいては、ベース抵抗 R_B を低減することが困難であった。図13(b)は、シングルポリシリコン型SiGe-HBTのベース抵抗 R_B (シリサイド層121からエミッタ拡散層109a直下の真性ベース領域Bintまでの抵抗 R_B)の抵抗成分を示す。つまり、ベース抵抗 R_B は、下記式(2)

$$(2)$$

のために、本来の低ベース抵抗特性を十分に発揮できないという不具合がある。

【0024】一方、ダブルポリシリコン型のSiGe-HBTの製造工程においても、ウエットエッチによりエミッタ開口部111aを形成するために下敷き酸化膜111が必要となることから、シングルポリシリコン型SiGe-HBTと同様の問題がある。図14(b)は、ダブルポリシリコン型SiGe-HBTのベース抵抗 R_B (シリサイド層121からエミッタ拡散層109a直下の真性ベース領域までの抵抗 R_B)の成分を示す。つまり、ベース抵抗 R_B は、下記式(3)

$$(3)$$

R_{int} : 真性ベース層Bintの抵抗成分
により表される。

【0025】このとき、リンク領域Blinkの抵抗成分 R_{link} は、ドライエッチングでエミッタ開口を形成することができないSiGe-HBTに特有の抵抗成分であり、上述のように、この抵抗成分 R_{link} のために、本来

の低ベース抵抗特性を十分に発揮できないという不具合がある。

【0026】本発明の目的は、エミッタ引き出し電極と SiGe ベース層との間に下敷き酸化膜を介在させた SiGe-HBT において、ベース抵抗を低減する手段を講ずることにより、最大遮断周波数などの高周波特性の優れたヘテロバイポーラトランジスタ及びその製造方法を提供することにある。

【0027】

【課題を解決するための手段】本発明のバイポーラトランジスタは、基板上に設けられ、第 1 導電型不純物を含むコレクタ層として機能する第 1 の半導体層と、上記第 1 の半導体層の上に設けられ、第 2 導電型不純物を含む第 2 の半導体層と、上記第 2 の半導体層の上に設けられ、上記第 2 の半導体層とはバンドギャップが異なる材料からなり、少なくとも下部に第 2 導電型不純物を含む第 3 の半導体層と、上記第 3 の半導体層の上に設けられた下敷き絶縁膜と、上記下敷き絶縁膜に設けられ、上記第 3 の半導体層に達する開口部と、第 1 導電型不純物を含む導体材料により構成され、上記下敷き絶縁膜の開口部を埋めて上記第 3 の半導体層に接触するエミッタ引き出し電極とを備えたバイポーラトランジスタにおいて、上記第 3 の半導体層は、上記開口部の下方に位置する第 1 導電型のエミッタ拡散層を有しており、上記第 2 の半導体層は、上記第 1 の半導体層のエミッタ拡散層に接する真性ベース層を有している。

【0028】これにより、第 3 の半導体層の少なくとも下部には第 2 導電型不純物が含まれているので、第 3 の半導体層の第 2 導電型不純物を含む部分の抵抗が低減する。したがって、ベース抵抗全体が低減されることになり、最大遮断周波数などの高周波特性の優れたバイポーラトランジスタが得られる。

【0029】上記第 3 の半導体層の少なくとも下部に含まれる第 2 導電型不純物の濃度を、上記第 2 の半導体層の第 2 導電型不純物の濃度と実質的に等しくすることにより、第 2、第 3 の半導体層の基板面に沿った方向の抵抗を均一化することができ、バイポーラトランジスタの高周波特性がさらに向上することになる。

【0030】上記エミッタ引き出し電極を第 1 導電型不純物がドーパされたポリシリコン膜により構成しておき、上記第 3 の半導体層のエミッタ拡散層を、上記エミッタ引き出し電極から拡散した第 1 導電型不純物によって第 1 導電型に反転したものとすることにより、第 3 の半導体層に第 2 導電型不純物をドーパして低抵抗化を図りつつ、バイポーラトランジスタの基本要素となるエミッタ拡散層が得られる。

【0031】上記エミッタ引き出し電極をポリシリコン膜により構成しておき、上記第 2 又は第 3 の半導体層のうち上記エミッタ引き出し電極の外方に位置する領域からベース電極を引き出すことにより、外部ベース層が低

抵抗化されたシングルポリシリコン型のヘテロバイポーラトランジスタが得られる。

【0032】上記エミッタ引き出し電極をポリシリコン膜により構成しておき、上記第 3 の半導体層のうち上記下敷き絶縁膜の外方に位置する部分に接して設けられ、第 2 導電型不純物がドーパされたポリシリコンにより構成されるベース引き出し電極をさらに備えることにより、外部ベース層が低抵抗化されたダブルポリシリコン型のヘテロバイポーラトランジスタが得られる。

【0033】上記基板をシリコン基板とし、上記第 1 の半導体層を Si 層とし、上記第 2 の半導体層を SiGe 層とし、上記第 3 の半導体層を Si 層とすることにより、シリコンデバイスのプロセスを利用して容易に形成可能なヘテロバイポーラトランジスタが得られる。

【0034】本発明のバイポーラトランジスタの製造方法は、基板上の第 1 導電型不純物を含むコレクタ層となる第 1 の半導体層の上に、第 2 導電型不純物を含むベース層となる第 2 の半導体層を形成する工程 (a) と、上記第 2 の半導体層の上に、上記第 2 の半導体層とはバンドギャップが異なる材料からなり、少なくとも下部に第 2 導電型不純物を含む第 3 の半導体層をエピタキシャル成長により形成する工程 (b) と、基板上に下敷き絶縁膜を堆積する工程 (c) と、上記下敷き絶縁膜に上記第 3 の半導体層に達する開口部を形成する工程 (d) と、上記第 3 の半導体層のうち上記開口部の下方に位置する領域に第 1 導電型不純物を導入して、エミッタ拡散層を形成する工程 (e) とを含んでいる。

【0035】この方法により、第 2 の半導体層のうちエミッタ拡散層の直下方に位置する領域が真性ベース層として機能し、真性ベース層の外方において、第 2 の半導体層と、第 3 の半導体層の少なくとも下部との抵抗の低い領域が外部ベース層として機能する。そして、外部ベース層のうち下敷き絶縁膜の直下方に位置するリンク領域において、第 3 の半導体層のうちの第 2 導電型不純物がドーパされている部分の抵抗値が低減することから、外部ベース層全体の抵抗値の小さいヘテロバイポーラトランジスタが得られることになる。

【0036】上記工程 (d) の後で上記工程 (e) の前に、基板上に導体膜を堆積した後、上記導体膜をパターニングして上記下敷き絶縁膜の開口部を埋めて上記下敷き絶縁膜の上に延びる第 1 導電型不純物を含むエミッタ引き出し電極を形成する工程をさらに含み、上記工程 (e) を、熱処理により、上記エミッタ引き出し電極中の第 1 導電型不純物を上記第 3 の半導体層に拡散させることにより行なうことにより、第 3 の半導体層の導電型を容易に反転させてエミッタ拡散層を形成することができ。

【0037】上記工程 (d) においては、ウェットエッチングにより上記開口部を形成することにより、エッチングダメージのほとんどないエミッタ拡散層を有するヘ

10

20

30

40

50

テロバイポーラトランジスタが得られる。

【0038】上記工程(d)の後に、基板上に導体膜及びマスク用絶縁膜を堆積した後、該マスク用絶縁膜及び導体膜をパターニングしてマスク膜及びエミッタ引き出し電極を形成する工程と、上記マスク膜及びエミッタ引き出し電極をマスクとして、第2導電型不純物のイオン注入を行なうことにより、上記第2、第3の半導体層のうち上記エミッタ引き出し電極の外方に位置する領域に外部ベース注入層を形成する工程とをさらに含むことにより、シングルポリシリコンプロセスを利用して、抵抗値が均一化された外部ベース層を有するヘテロバイポーラトランジスタを形成することができる。

【0039】上記工程(c)の後で上記工程(d)の前に、上記下敷き絶縁膜の上に上記第3の半導体層の一部を覆うマスク部材を形成する工程と、上記マスク部材を用いたドライエッチングにより、上記第3の半導体層の一部のみを覆うように下敷き絶縁膜をパターニングした後、上記マスク部材を用いて第2導電型不純物のイオン注入を行なうことにより、上記第2、第3の半導体層のうち上記下敷き絶縁膜の外方に位置する領域に外部ベース注入層を形成する工程と、上記外部ベース注入層の形成の後、基板上に上記導体膜とは別の導体膜を堆積した後、上記別の導体膜に上記下敷き絶縁膜に到達する開口部を形成する工程と、上記別の導体膜の開口部の側面を覆う絶縁性の側壁保護膜を形成する工程とをさらに含み、上記工程(d)を上記側壁保護膜を形成する工程の後で行うとともに、上記工程(d)の後に、基板上に導体膜を堆積した後、該導体膜をパターニングしてエミッタ引き出し電極を形成する工程をさらに含むことにより、ダブルポリシリコンプロセスを利用して、抵抗値が均一化された外部ベース層を有するヘテロバイポーラトランジスタを形成することができる。

【0040】

【発明の実施の形態】(第1の実施の形態)図1

(a)、(b)は、本実施形態に係るSiエミッタ層とSiGeベース層とを有するヘテロバイポーラトランジスタ(HBT)であってシングルポリシリコン型HBTの構造を示す断面図、及びエミッターベース接合部付近の構造を拡大して示す部分断面図である。

【0041】図1(a)に示すように、Si基板1のコレクタ埋め込み層5の上にはSiエピタキシャル層4が設けられており、このSiエピタキシャル層4には、活性領域を区画するためのシャロートレンチ2aが設けられている。また、シャロートレンチ2aよりもさらに下方に延びてSi基板1の奥方に達するディープトレンチ2bが設けられている。このディープトレンチ2bによりHBT形成領域Rbtが取り囲まれ、シャロートレンチ2aにより、HBT形成領域Rbtが第1の活性領域Relと第2の活性領域Re2とに区画されている。そして、Siエピタキシャル層4内のコレクタ埋め込み層5の上方

に位置する領域において、第1の活性領域RelにはSiコレクタ層3aが、第2の活性領域Re2にはコレクタウオール層3bがそれぞれ設けられている。さらに、Siエピタキシャル層4のうち第1の活性領域Relの上には、エピタキシャル成長によって形成されたGe含有率が約15%で厚み20nmのSiGeスペーサ層7が設けられている。このSiGeスペーサ層7は、ボロンの拡散によるパラスティックバリア(寄生バリア)の形成を抑制するためのものであって、不純物がドーピングされていないアンドープ層である。また、SiGeスペーサ層7の上には、Ge含有率が15%から上方に向かって減少し上端で0%となっている傾斜SiGeベース層8が設けられている。この傾斜SiGeベース層8の厚みは約40nmで、傾斜SiGeベース層8内には、in-situドーピングにより、濃度が $2 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ のボロンが導入されている。さらに、傾斜SiGeベース層8の上には、エピタキシャル成長により形成されたSiキャップ層9が設けられている。Siキャップ層9の厚みは約30nmで、Siキャップ層9内には、傾斜SiGeベース層8内と同様に、濃度が約 $2 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ のボロン(B)がドーピングされている。また、Siキャップ層9の上には、厚みが約30nmのシリコン酸化膜からなる下敷き酸化膜11が設けられており、下敷き酸化膜11には、Siキャップ層9の一部を露出させるエミッタ開口部11aが形成されている。そして、下敷き酸化膜11のエミッタ開口部11aを埋めて、下敷き酸化膜11上に延びるポリシリコンからなるエミッタ引き出し電極10が設けられている。エミッタ引き出し電極10には、濃度約 $5 \times 10^{20} \text{atoms} \cdot \text{cm}^{-3}$ のN型不純物であるリン(P)がドーピングされている。一方、上記Siキャップ層9のうちエミッタ開口部11aの下方に位置する領域には、エミッタ引き出し電極10からの拡散により、高濃度のリンがドーピングされたエミッタ拡散層9aが形成されている。つまり、Siキャップ層9にはほぼ均一にボロン(濃度約 $2 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$)がドーピングされているが、Siキャップ層9中のエミッタ拡散層9aにおいては、エミッタ引き出し電極10から拡散したリンの濃度がドーピングされているボロンの濃度よりも大幅に高いので、エミッタ拡散層9aはN型に反転している。

【0042】そして、傾斜SiGeベース層8のうちエミッタ拡散層9aの直下方に位置する領域が真性ベース層Bintである。また、Siエピタキシャル層4の表面部、SiGeスペーサ層7、傾斜SiGeベース層8及びSiキャップ層9のうち、エミッタ引き出し電極10の外方に位置する領域には、イオン注入によりP型不純物であるボロン(B)がドーピングされた外部ベース注入領域Bexが形成されている。この外部ベース注入領域Bexが外部ベース層の一部になっている。

【0043】さらに、Siキャップ層9のうちエミッタ

拡散層 9a の側方かつ下敷き酸化膜 11 直下の領域には、傾斜 SiGe ベース層 8 と同じ濃度のボロンがドーピングされている。そして、真性ベース層 Bint と外部ベース注入領域 Bex とに挟まれる領域において、Si キャップ層 9 と傾斜 SiGe ベース層 8 とに亘ってリンク領域 Blink が形成されている。その結果、外部ベース層のうちの下敷き酸化膜 11 の下方に位置しているリンク領域 Blink は、傾斜 SiGe ベース層 8 だけでなく Si キャップ層 9 をも含むように厚み方向に拡大している。このように、外部ベース層中のリンク領域 Bex の厚みが拡大している点が本実施形態の HBT の特徴である。

【0044】なお、外部ベース注入領域 Bex のうち Si エピタキシャル層 4 の表面部は、濃度が約 $3 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 程度のボロンがドーピングされて、接合リーク防止層となっている。

【0045】また、エミッタ引き出し電極 10 の側面と、Si キャップ層 9、SiGe 傾斜 SiGe ベース層 8 及び SiGe スペース層 7 からなる積層膜の側面とは、それぞれシリコン酸化膜からなるサイドウォール 20、22 が設けられている。

【0046】さらに、ウエハ上には、BSG (Boron Silicate Glass) 膜からなる層間絶縁膜 13 が設けられている。層間絶縁膜 13 には、エミッタ引き出し電極 10、Si キャップ層 9 のうちの外部ベース層の一部となる領域 9b、コレクタウォール層 3b にそれぞれ到達する接続孔が設けられており、各接続孔には、エミッタ引き出し電極 10、Si キャップ層 9 のうち外部ベース層の一部となる領域 9b、コレクタウォール層 3b の表面部に形成されたシリサイド層 21 に接触するタングステンプラグ 12 が埋め込まれている。また、層間絶縁膜 13 の上には、各タングステンプラグ 12 に接続される金属配線 14 が設けられている。

【0047】本実施形態に係る SiGe-HBT によると、Si キャップ層 9 の外部ベース層の一部となる領域 9b のうち下敷き酸化膜 11 の下方に位置する領域には、比較的高濃度のボロン（濃度約 $2 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ ）がドーピングされているので、リンク領域 Blink は、傾斜 SiGe ベース層 8 だけでなく Si キャップ層 9 をも含むように厚み方向に拡大している。そして、式 (2) に示すベース抵抗 R_B のうちリンク領域 Blink の成分 R_{link} が、例えば 4/7 程度に低減する。その結果、ベース抵抗 R_B が小さくなるので、式 (1) に示す HBT の最大発振周波数 f_{max} の向上を図ることができる。

【0048】一方、Si キャップ層 9 全体には P 型不純物がドーピングされているが、エミッタ引き出し電極 10 からの N 型不純物の拡散により、Si キャップ層 9 のうちのエミッタ拡散層 9a における導電型が反転し、エミッタ拡散層 9a 及び真性ベース層 Bint を通過する縦断面における不純物プロファイルは、従来のアンドープの S

i キャップ層を備えた HBT における不純物プロファイルとほとんど変わりが無い。したがって、電流利得遮断周波数 f_T の劣化はほとんど起こらない。また、Si キャップ層 9 内において、エミッタ拡散層 9a とそれ以外の領域（外部ベース層の一部となる領域 9b）との間に PN 接合部が形成されるために、エミッタ接合容量が若干増加する分だけエミッタ接合容量の充電時間が増加するが、電流利得遮断周波数 f_T の値はほとんど影響を受けない。また、エミッタ・ベース接合の耐圧も、Si キャップ層 9 の不純物濃度を傾斜 SiGe ベース層 8 と同程度とすることによって低下することはない。

【0049】このように、本実施形態の HBT によれば、シングルポリシリコン構造を有する HBT において、高周波特性の劣化を抑制しつつ、接合耐圧を同程度に保ったまま、ベース抵抗を低減することができる。よって、最大発振周波数 f_{max} の増大と、低雑音化とを実現することができる。

【0050】次に、本実施形態の SiGe-HBT の製造工程について説明する。図 2 (a) ~ 図 4 (d) は、本実施形態の SiGe-HBT の製造工程を示す断面図である。そのうち、図 2 (a) ~ (d) は、工程のはじめからエミッタ引き出し電極用ポリシリコン膜を堆積するまでの工程を示す断面図、図 3 (a) ~ (d) は、エミッタ引き出し電極の形成から被覆酸化膜を堆積するまでの工程を示す断面図、図 4 (a) ~ (d) は、エミッタ引き出し電極などの側面へのサイドウォールの形成から配線の形成までの工程を示す断面図である。

【0051】まず、図 2 (a) に示す工程で、Si 基板 1 に、N 型不純物（例えばリン）の注入によりコレクタ埋め込み層 5 を形成した後、エピタキシャル成長により、Si 基板 1 の上に Si エピタキシャル層 4 を形成する。このとき、コレクタ埋め込み層 5 内のリンなどの不純物が Si エピタキシャル層 4 に拡散する。その後、シャロートレンチ 2a、ディープトレンチ 2b を形成し、HBT 形成領域 Rbt を、エミッタ・ベース接合などを形成するための第 1 の活性領域 Rel と、コレクタ電極の引き出しを行なうための第 2 の活性領域 Re2 とに区画する。つまり、Si エピタキシャル層 4 のうち第 1 の活性領域 Rel には Si コレクタ層 3a が形成され、第 2 の活性領域 Re2 にはコレクタウォール層 3b が形成される。

【0052】次に、図 2 (b) に示す工程で、UHV-CVD を用いたエピタキシャル成長法により、ウエハ上に、Ge の含有率が 15% のアンドープ SiGe 層と、P 型不純物であるボロンを含み Ge 含有率が 15% から 0 に漸次減少するドーパント傾斜 SiGe 層と、P 型不純物であるボロンを含むドーパント Si 層とを、ガス種を変えながらほぼ連続して堆積する。そして、ドーパント Si 層とドーパント傾斜 SiGe 層とアンドープ SiGe 層とをパターンニングして、Si エピタキシャル層 4 のうち第 1 の活性領域 Rel の上に、SiGe スペース層 7 と、傾

10

20

30

40

50

斜SiGeドープ層8と、Siキャップ層9とを形成する。このとき、傾斜SiGeベース層8の厚みは約40 nmで、その不純物濃度は $2 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ である。Siキャップ層9の厚みは約30 nmで、その不純物濃度は約 $2 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ である。

【0053】次に、図2(c)に示す工程で、ウエハ上に厚みが約30 nmのシリコン酸化膜11xを堆積した後、ウエットエッチにより、シリコン酸化膜11xの一部を選択的に除去してエミッタ開口部11aを形成し、エミッタ開口部11aの底部にSiキャップ層9の一部を露出させる。このとき、ウエットエッチによってシリコン酸化膜11xをエッチングするので、Siキャップ層9にダメージを与えることはない。

【0054】次に、図2(d)に示す工程で、ウエハ上に、in-situ ドーピングにより高濃度のリン(P)がドープされた厚みが約250 nmのN型のポリシリコン膜10xと、注入保護膜となるシリコン窒化膜16xとを堆積する。ただし、ポリシリコン膜10xには、イオン注入によりN型不純物(リン又は砒素)をドープしてもよいものとする。

【0055】次に、図3(a)に示す工程で、フォトリソist膜17Aを用いたドライエッチングにより、シリコン窒化膜16x、ポリシリコン膜10x及びシリコン酸化膜11xをパターンニングして、エミッタ開口部11aでSiキャップ層9に接触するエミッタ引き出し電極10と、下敷き酸化膜11と、エミッタ引き出し電極10上の注入保護膜16とを形成する。

【0056】次に、図3(b)に示す工程で、フォトリソist膜17Aを除去した後、ウエハ上に、コレクタウオール層3bを少なくとも覆うフォトリソist膜17Bを形成し、このフォトリソist膜17B及び注入保護膜16をマスクとしてボロン(B)のイオン注入を行なう。これにより、Siキャップ層9、傾斜SiGeベース層8及びSiGeスペーサ層7のうち、エミッタ引き出し電極10の外側に位置する領域Bexにはボロンがドープされる。そして、この外部ベース注入領域BexのうちSiエピタキシャル層4の表面部には、約 $3 \times 10^{17} \text{atoms} \cdot \text{cm}^{-3}$ の濃度のボロンが導入されて、拡散リーク防止層が形成される。

【0057】次に、図3(c)に示す工程で、フォトリソist膜17B及び注入保護膜16を除去した後、ウエハ上に、熱処理時における不純物の拡散防止用のシリコン酸化膜からなる被覆用酸化膜18を堆積する。

【0058】次に、図3(d)に示す工程で、900℃、15秒間の条件で、急速加熱処理(RTA)を行なう。エミッタ引き出し電極10中のリンをSiキャップ層9内に拡散させて、Siキャップ層9のうちエミッタ開口部11aの下方に位置する領域にエミッタ拡散層9aを形成する。

【0059】次に、図4(a)に示す工程で、被覆用酸

化膜18及びシリコン酸化膜11xを異方性エッチングによりエッチングして、エミッタ引き出し電極10の側面と、Siキャップ層9、傾斜SiGeベース層8及びSiGeスペーサ層7からなる積層膜の側面とに、それぞれシリコン酸化膜からなるサイドウォール20、22を形成する。

【0060】次に、図4(b)に示す工程で、ウエハ上に露出しているエミッタ引き出し電極10と、Siキャップ層9のうちの外部ベース層の一部となる領域9bと、コレクタウオール層3bとの上に金属膜(例えばチタン膜)を堆積した後、熱処理により金属とシリコンとを反応させて、エミッタ引き出し電極10、Siキャップ層9のうちの外部ベース層の一部となる領域9b、及びコレクタウオール層3bの上に、シリサイド層(例えばチタンシリサイド層)21を形成する。

【0061】次に、図4(c)に示す工程で、ウエハ上に、BSG膜からなる層間絶縁膜13を堆積する。

【0062】次に、図4(d)に示す工程で、層間絶縁膜13に、エミッタ引き出し電極10、Siキャップ層9のうちの外部ベース層の一部となる領域9b、コレクタウオール層3bにそれぞれ到達する接続孔を形成した後、各接続孔にタングステンを埋め込んで、エミッタ引き出し電極10、Siキャップ層9のうちの外部ベース層の一部となる領域9b、コレクタウオール層3bの表面部に形成されたシリサイド層21に接触するタングステンプラグ12を形成する。その後、層間絶縁膜13の上に、各タングステンプラグ12に接続されるアルミニウムからなる金属配線14を形成する。これにより、図1(a)、(b)に示すHBTの構造が実現する。

【0063】本実施形態の製造工程によれば、図2(b)に示す工程で、比較的高濃度のP型不純物を含むSiキャップ層9を形成し、図3(d)に示す工程で、このSiキャップ層9のうちエミッタ開口部11aの下方に位置する領域に高濃度のN型不純物であるリンを拡散させて、エミッタ拡散層9aを形成している。つまり、Siキャップ層9のうち中央部はエミッタ拡散層9aとなり、それ以外の領域9bは外部ベース層の一部となる。

【0064】したがって、従来のHBTのごとくアンドープのSiキャップ層が設けられているのに比べて、外部ベース層のうち下敷き酸化膜11の下方に位置する部分であるリンク領域Blinkの抵抗値を低減することができる。すなわち、本実施形態のHBTの製造方法により、上述のごとく、最大発振周波数 f_{max} の高い、低雑音化されたHBTを容易に形成することができるのである。

【0065】なお、本実施形態のHBTの製造工程において、図4(a)に示すボロンのイオン注入工程は省略してもよい。Siキャップ層9に高濃度のボロンがドープされているので、外部ベース注入領域Bexが存在して

いなくても、外部ベース層全体の抵抗値を十分小さく維持することができるからである。

【0066】また、図2(b)に示すSiキャップ層9のエピタキシャル成長の際、in-situ ドープによってSiキャップ層9全体にボロンをドープする必要はなく、Siキャップ層9の少なくとも下部にボロンをドープしておけばよい。その場合にも、その後の熱処理によってボロンがSiキャップ層9内を上方に拡散するので、外部ベース層全体の抵抗値を小さく維持することは可能である。

【0067】(第2の実施の形態) 図5(a), (b)は、本実施形態に係るSiエミッタ層とSiGeベース層とを有するヘテロバイポーラトランジスタ(HBT)であってダブルポリシリコン型HBTの構造を示す断面図、及びエミッターベース接合部付近の構造を拡大して示す部分断面図である。

【0068】図5(a)に示すように、Si基板1のコレクタ埋め込み層5の上にはSiエピタキシャル層4が設けられており、このSiエピタキシャル層4には、活性領域を区画するためのシャロートレンチ2aが設けられている。また、シャロートレンチ2aよりもさらに下方に延びてSi基板1の奥方に達するディープトレンチ2bが設けられている。このディープトレンチ2bによりHBT形成領域Rbtが取り囲まれ、シャロートレンチ2aにより、HBT形成領域Rbtが第1の活性領域Relと第2の活性領域Re2とに区画されている。そして、Siエピタキシャル層4内のコレクタ埋め込み層5の上方に位置する領域において、第1の活性領域RelにはSiコレクタ層3aが、第2の活性領域Re2にはコレクタウオール層3bがそれぞれ設けられている。さらに、Siエピタキシャル層4のうち第1の活性領域Relの上には、エピタキシャル成長によって形成されたGe含有率が約15%で厚み20nmのSiGeスペーサ層7が設けられている。このSiGeスペーサ層7は、ボロンの拡散によるパラスティックバリア(寄生バリア)の形成を抑制するためのものであって、不純物がドープされていないアンドープ層である。また、SiGeスペーサ層7の上には、Ge含有率が15%から上方に向かって減少し上端で0%となっている傾斜SiGeベース層8が設けられている。この傾斜SiGeベース層8の厚みは約40nmで、傾斜SiGeベース層8内には、in-situ ドーピングにより、濃度が $2 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ のボロンが導入されている。さらに、傾斜SiGeベース層8の上には、エピタキシャル成長により形成されたSiキャップ層9が設けられている。Siキャップ層9の厚みは約30nmで、Siキャップ層9内には、傾斜SiGeベース層8内と同様に、濃度が約 $2 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ のボロン(B)がドープされている。また、Siキャップ層9の上には、厚みが約30nmのシリコン酸化膜からなる下敷き酸化膜11が設けられてお

り、下敷き酸化膜11には、Siキャップ層9の一部を露出させるエミッタ開口部11aが形成されている。そして、下敷き酸化膜11のエミッタ開口部11aを埋めるポリシリコンからなるエミッタ引き出し電極10が設けられている。エミッタ引き出し電極10には、濃度約 $5 \times 10^{20} \text{atoms} \cdot \text{cm}^{-3}$ のN型不純物であるリン

(P)がドープされている。一方、上記Siキャップ層9のうちエミッタ開口部11aの下方に位置する領域には、エミッタ引き出し電極10からの拡散により、高濃度のリンがドープされたエミッタ拡散層9aが形成されている。つまり、Siキャップ層9にはほぼ均一にボロン(濃度約 $2 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$)がドープされているが、Siキャップ層9中のエミッタ拡散層9aにおいては、エミッタ引き出し電極10から拡散したリンの濃度がドープされているボロンの濃度よりも大幅に高いので、エミッタ拡散層9aはN型に反転している。

【0069】また、下敷き酸化膜11の上には、P型不純物がドープされたポリシリコン膜からなるベース引き出し電極31と、シリコン酸化膜からなる電極間絶縁膜32とが設けられている。ベース引き出し電極31及び電極間絶縁膜32のうち、下敷き酸化膜11のエミッタ開口部11aの上方に位置する部分は開口されていて、ベース引き出し電極21及び電極間絶縁膜32の側面には、酸化膜サイドウォール33が設けられ、さらに、酸化膜サイドウォール33の上にポリシリコンサイドウォール34が設けられている。そして、上述のエミッタ引き出し電極10は、エミッタ開口部11aを埋め、ポリシリコンサイドウォール34及び酸化膜サイドウォール33を挟んでベース引き出し電極31と対向している。つまり、酸化膜サイドウォール33によって、エミッタ引き出し電極10とベース引き出し電極31とが電気的に絶縁されるとともに、ベース引き出し電極31からエミッタ引き出し電極10への不純物の拡散が阻止されている。また、電極間絶縁膜32によって、ベース引き出し電極31の上面とエミッタ引き出し電極10とが互いに絶縁されている。

【0070】そして、傾斜SiGeベース層8のうちエミッタ拡散層9aの直下方に位置する領域が真性ベース層Bintである。また、Siエピタキシャル層4の表面部、SiGeスペーサ層7、傾斜SiGeベース層8及びSiキャップ層9のうち、下敷き酸化膜11の外方に位置する領域には、イオン注入によりP型不純物であるボロン(B)がドープされた外部ベース注入領域Bexが形成されている。この外部ベース注入領域Bexが外部ベース層の一部になっている。

【0071】さらに、Siキャップ層9のうちエミッタ拡散層9aの側方かつ下敷き酸化膜11直下の領域には、傾斜SiGeベース層8と同じ濃度のボロンがドープされている。そして、真性ベース層Bintと外部ベース注入領域Bexとに挟まれる領域において、Siキャッ

ブ層9と傾斜SiGeベース層8とに亘ってリンク領域Blinkが形成されている。その結果、外部ベース層のうちの下敷き酸化膜11の下方に位置しているリンク領域Blinkは、傾斜SiGeベース層8だけでなくSiキャップ層9をも含むように厚み方向に拡大している。このように、外部ベース層中のリンク領域Bexの厚みが拡大している点が本実施形態のHBTの特徴である。

【0072】なお、外部ベース注入領域BexのうちSiエピタキシャル層4の表面部は、濃度が約 $3 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 程度のボロンがドーピングされて、接合リーク防止層となっている。

【0073】また、エミッタ引き出し電極10及び電極間絶縁膜32の外側面と、ベース引き出し電極31の外側面とには、シリコン酸化膜からなるサイドウォール20が設けられている。

【0074】さらに、ウエハ上には、BSG (Boron Silicate Glass) 膜からなる層間絶縁膜13が設けられている。層間絶縁膜13には、エミッタ引き出し電極10、ベース引き出し電極31、コレクタウォール層3bにそれぞれ到達する接続孔が設けられており、各接続孔には、エミッタ引き出し電極10、ベース引き出し電極31、コレクタウォール層3bの表面部に形成されたシリサイド層21に接触するタングステンプラグ12が埋め込まれている。また、層間絶縁膜13の上には、各タングステンプラグ12に接続される金属配線14が設けられている。

【0075】本実施形態に係るSiGe-HBTによると、上記第1の実施形態のHBTと同様に、Siキャップ層9の外部ベース層の一部となる領域9bのうち下敷き酸化膜11の下方に位置する領域には、比較的高濃度のボロン（濃度約 $2 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ ）がドーピングされているので、リンク領域Blinkは、傾斜SiGeベース層8だけでなくSiキャップ層9をも含むように厚み方向に拡大している。そして、式(2)に示すベース抵抗 R_B のうちリンク領域Blinkの成分 R_{link} が、例えば4/7程度に低減する。その結果、ベース抵抗 R_B が小さくなるので、式(1)に示すHBTの最大発振周波数 f_{max} の向上を図ることができる。

【0076】一方、Siキャップ層9全体にはP型不純物がドーピングされているが、エミッタ引き出し電極10からのN型不純物の拡散により、エミッタ拡散層9aにおける導電型が反転し、エミッタ拡散層9a及び真性ベース層Bintを通過する縦断面における不純物プロファイルは、従来のアンドープのSiキャップ層を備えたHBTにおける不純物プロファイルとほとんど変わりが無い。したがって、電流利得遮断周波数 f_T の劣化はほとんど起こらない。また、Siキャップ層9内において、エミッタ拡散層9aとそれ以外の領域（外部ベース層の一部となる領域9b）との間にPN接合部が形成されるために、エミッタ接合容量が若干増加する分だけエミッ

タ接合容量の充放電時間が増加するが、電流利得遮断周波数 f_T の値はほとんど影響を受けない。また、エミッタ・ベース接合の耐圧も、Siキャップ層9の不純物濃度を傾斜SiGeベース層8と同程度とすることによって低下することはない。

【0077】このように、本実施形態のHBTによれば、ダブルポリシリコン構造を有するHBTにおいても、上記第1の実施形態と同様に、高周波特性の劣化を抑制しつつ、接合耐圧を同程度に保ったまま、ベース抵抗を低減することができる。よって、最大発振周波数 f_{max} の増大と、低雑音化とを実現することができる。

【0078】次に、本実施形態のSiGe-HBTの製造工程について説明する。図6(a)～図8(d)は、本実施形態のSiGe-HBTの製造工程を示す断面図である。そのうち、図6(a)～(e)は、工程のはじめからコレクタ引き出し電極にエミッタ開口部を形成するまでの工程を示す断面図、図7(a)～(e)は、エミッタ開口部の形成から被覆酸化膜を堆積するまでの工程を示す断面図、図8(a)～(d)は、エミッタ拡散層の形成から配線の形成までの工程を示す断面図である。

【0079】まず、図6(a)に示す工程で、Si基板1に、N型不純物（例えばリン）の注入によりコレクタ埋め込み層5を形成した後、エピタキシャル成長により、Si基板1の上にSiエピタキシャル層4を形成する。このとき、コレクタ埋め込み層5内のリンなどの不純物がSiエピタキシャル層4に拡散する。その後、シャロートレンチ2a、ディープトレンチ2bを形成し、HBT形成領域Rbtを、エミッタ・ベース接合などを形成するための第1の活性領域Relと、コレクタ電極の引き出しを行なうための第2の活性領域Re2とに区画する。つまり、Siエピタキシャル層4のうち第1の活性領域RelにはSiコレクタ層3aが形成され、第2の活性領域Re2にはコレクタウォール層3bが形成される。

【0080】次に、図6(b)に示す工程で、UHV-CVDを用いたエピタキシャル成長法により、ウエハ上に、Geの含有率が15%のアンドープSiGe層と、P型不純物であるボロンを含みGe含有率が15%から0に漸次減少するドーパント傾斜SiGe層と、P型不純物であるボロンを含むドーパントSi層とを、ガス種を変えながらほぼ連続して堆積する。そして、ドーパントSi層とドーパント傾斜SiGe層とアンドープSiGe層とをパターンニングして、Siエピタキシャル層4のうち第1の活性領域Relの上に、SiGeスペーサ層7と、傾斜SiGeドーパント層8と、Siキャップ層9とを形成する。このとき、傾斜SiGeベース層8の厚みは約40nmで、その不純物濃度は $2 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ である。Siキャップ層9の厚みは約30nmで、その不純物濃度は約 $2 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ である。

【0081】次に、図6(c)に示す工程で、ウエハ上

に、エッチストップとなる厚みが約30nmのシリコン酸化膜11xを堆積する。

【0082】次に、図6(d)に示す工程で、シリコン酸化膜11xの上に設けたフォトレジスト膜17Cをマスクとして用いて、シリコン酸化膜11xをドライエッチングによりパターニングして、ベース接続用開口部40を形成する。このとき、Siキャップ層9、傾斜SiGeベース層8及びSiGeスペーサ層7の中央部はシリコン酸化膜11xによって覆われており、ベース接続用開口部40にはSiキャップ層9、傾斜SiGeベース層8及びSiGeスペーサ層7の周辺部が露出している。続いて、フォトレジスト膜17Cをそのまま注入マスクとして用い、P型不純物であるボロン(B)のイオン注入を行い、Siキャップ層9、傾斜SiGeベース層8、SiGeスペーサ層7及びSiエピタキシャル層4の表面部に外部ベース注入領域Bexを形成する。このとき、外部ベース注入領域BexのうちSiエピタキシャル層4の表面部には、約 $3 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ の濃度のボロンが導入されて、拡散リーク防止層が形成される。

【0083】次に、図6(e)に示す工程で、CVDにより、ウエハ上に高濃度のボロン(B)が注入された厚さ約150nmのポリシリコン膜31xと、厚さ約100nmのシリコン酸化膜32xとを順次形成する。次に、ドライエッチングにより、シリコン酸化膜32xとポリシリコン膜31xとの中央部に、シリコン酸化膜11xに達するエミッタ開口部31aを形成する。このエミッタ開口部31aはシリコン酸化膜11xの中央部よりも小さく、エミッタ開口部31aがベース接続用開口部40に跨ることはない。

【0084】次に、図7(a)に示す工程で、CVDにより、ウエハの全面上に厚さ約30nmのシリコン酸化膜と厚さ約150nmのサイドウォール用ポリシリコン膜とを堆積する。そして、異方性ドライエッチングにより、シリコン酸化膜及びサイドウォール用ポリシリコン膜をエッチバックして、ポリシリコン膜31x及びシリコン酸化膜32xのエミッタ開口部31aにおける側面上に、酸化膜サイドウォール33とポリシリコンサイドウォール34とを形成する。

【0085】次に、図7(b)に示す工程で、フッ酸等によるウエットエッチングを行い、シリコン酸化膜11x及び酸化膜サイドウォール33のうち露出している部分を除去する。このとき、エミッタ開口部31aにおいて、Siキャップ層9が露出する。また、ウエットエッチングは等方性であることから、シリコン酸化膜11x及び酸化膜サイドウォール33が横方向にもエッチングされ、拡大したシリコン酸化膜11xの内側面が、最終的なエミッタ開口部11aを形成する。

【0086】次に、図7(c)に示す工程で、高濃度のリン(P)を含む厚さが約250nmのポリシリコン膜

を堆積した後、フォトレジスト膜17Dをマスクとするドライエッチングによってポリシリコン膜をパターニングすることにより、エミッタ引き出し電極10を形成する。

【0087】次に、図7(d)に示す工程で、フォトレジスト膜17Dを除去した後、新たなフォトレジスト膜17Eをマスクとするドライエッチングにより、シリコン酸化膜32x、ポリシリコン膜31x及びシリコン酸化膜11xをパターニングして、ベース引き出し電極31を形成するとともに、シリコン酸化膜11xのうちベース引き出し電極31の下方に存在する下敷き酸化膜11となる部分以外の部分を除去する。

【0088】次に、図7(e)に示す工程で、フォトレジスト膜17Eを除去した後、ウエハ上に被覆用酸化膜18を形成する。

【0089】次に、図8(a)に示す工程で、900℃、15秒間の条件で、急速加熱処理(RTA)を行なって、エミッタ引き出し電極10中のリンをSiキャップ層9内に拡散させて、Siキャップ層9のうちエミッタ開口部11aの下方に位置する領域にエミッタ拡散層9aを形成する。

【0090】次に、図8(b)に示す工程で、被覆用酸化膜18及びシリコン酸化膜32xを異方性エッチングによりエッチングして、エミッタ引き出し電極10とベース引き出し電極31との間に電極間絶縁膜32を形成するとともに、エミッタ引き出し電極10及び電極間絶縁膜32の側面と、ベース引き出し電極31の側面とに、シリコン酸化膜からなるサイドウォール20を形成する。

【0091】次に、図8(c)に示す工程で、ウエハ上に露出しているエミッタ引き出し電極10と、ベース引き出し電極31と、コレクタウォール層3bとの上に厚み約40nmのチタン膜を堆積した後、熱処理によりチタンとシリコンとを反応させて、エミッタ引き出し電極10、ベース引き出し電極31、及びコレクタウォール層3bの上に、シリサイド層(チタンシリサイド層)21を形成する。

【0092】次に、図8(d)に示す工程で、ウエハ上に、BSG膜からなる層間絶縁膜13を堆積する。さらに、層間絶縁膜13に、エミッタ引き出し電極10、ベース引き出し電極31、コレクタウォール層3bにそれぞれ到達する接続孔を形成した後、各接続孔にタングステンを埋め込んで、エミッタ引き出し電極10、ベース引き出し電極31、コレクタウォール層3bの表面部に形成されたシリサイド層21に接触するタングステンプラグ12を形成する。その後、層間絶縁膜13の上に、各タングステンプラグ12に接続されるアルミニウムからなる金属配線14を形成する。これにより、図5(a)、(b)に示すHBTの構造が実現する。

【0093】本実施形態の製造工程によれば、図6

(b) に示す工程で、比較的高濃度のP型不純物を含むSiキャップ層9を形成し、図8(a)に示す工程で、このSiキャップ層9のうちエミッタ開口部11aの下方に位置する領域に高濃度のN型不純物であるリンを拡散させて、エミッタ拡散層9aを形成している。つまり、Siキャップ層9のうち中央部はエミッタ拡散層9aとなりそれ以外の領域9bは外部ベース層の一部となる。

【0094】したがって、従来のHBTのごとくアンドープのSiキャップ層が設けられているのに比べて、外部ベース層のうち下敷き酸化膜11の下方に位置する領域(リンク領域)の抵抗値を低減することができる。すなわち、本実施形態のHBTの製造方法により、上述のごとく、最大発振周波数 f_{max} が高い、低雑音化されたHBTを容易に形成することができるのである。

【0095】なお、本実施形態のHBTの製造工程において、図6(c)に示すボロンのイオン注入工程は省略してもよい。Siキャップ層9に高濃度のボロンがドーピングされているので、外部ベース注入領域Bexが存在していなくても、外部ベース層全体の抵抗値を十分小さく維持することができるからである。

【0096】また、図6(b)に示すSiキャップ層9のエピタキシャル成長の際、in-situ ドープによってSiキャップ層9全体にボロンをドーピングする必要はなく、Siキャップ層9の少なくとも下部にボロンをドーピングしておけばよい。その場合にも、その後の熱処理によって、ベース引き出し電極31からnボロンがSiキャップ層9に拡散するので、外部ベース層全体の抵抗値を小さく維持することは可能である。

【0097】次に、本発明のHBTの効果に関するデータについて説明する。図9(a)、(b)及び図10

(a)、(b)は、本発明の効果を示すためのSiGe-HBT断面構造におけるホール電流密度分布をシミュレーションした結果を示す図である。図9(a)、

(b)はいずれもSiキャップ層の厚みが20nmの場合におけるシミュレーション結果を示し、図9(a)はSiキャップ層におけるボロン濃度が $1 \times 10^{17} \text{atoms} \cdot \text{cm}^{-3}$ の場合、図9(b)はSiキャップ層におけるボロン濃度が $2 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ の場合をそれぞれ示す。また、図10(a)、(b)はいずれもSiキャップ層の厚みが30nmの場合におけるシミュレーション結果を示し、図10(a)はSiキャップ層におけるボロン濃度が $1 \times 10^{17} \text{atoms} \cdot \text{cm}^{-3}$ の場合、図10(b)はSiキャップ層におけるボロン濃度が $2 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ の場合をそれぞれ示す。

【0098】図9(a)に示されるように、Siキャップ層におけるボロン濃度が $1 \times 10^{17} \text{atoms} \cdot \text{cm}^{-3}$ の場合には、Siキャップ層にはわずかしきホール電流が流れずほとんどのホール電流が傾斜SiGeベース層を通過している。つまり、Siキャップ層のうち下敷き酸

化膜の下方の部分は実質的には外部ベース層として十分機能していない。したがって、リンク領域Blinkにおける抵抗成分Rlinkが比較的大きいままである。ところが、図9(b)に示されるように、Siキャップ層におけるボロン濃度が $2 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ の場合には、Siキャップ層と傾斜SiGeベース層とに均一にホール電流が流れており、Siキャップ層のうちエミッタ拡散層を除く部分全体が外部ベース層の一部として十分機能していることがわかる。したがって、外部ベース層中のリンク領域Blinkにおける抵抗成分Rlinkが十分小さくなる。また、図10(a)、(b)を互いに比べても同様のことがわかる。

【0099】次に、図11は、本発明のダブルポリシリコン型HBTのSiキャップ層におけるボロンのドーピング濃度と厚みとを変化させたときのコレクタ電流(A)と、電流利得遮断周波数 f_T との相関関係を示す図である。同図において、横軸はコレクタ電流(A)を表し、縦軸は電流利得遮断周波数 f_T (GHz)を表している。同図に示すように、Siキャップ層の厚みを大きくし、ボロン濃度を高くしても、電流利得遮断周波数 f_T はほとんど低下しないことがわかる。

【0100】図12は、Siキャップ層におけるボロンのドーピング濃度と厚みとを変化させたときのベース電圧(V)に対するベース電流(A)の依存性をシミュレーションした結果を示す図である。同図において、横軸はベース電圧(V)を表し、縦軸はベース電流(A)を表している。ここでは、エミッタ拡散幅を $0.2 \mu\text{m}$ 、エミッタ拡散長を $1 \mu\text{m}$ と仮定してシミュレーションを行っている。同図に示されるように、Siキャップ層の厚みや、Siキャップ層のボロン濃度を高くすると、ベース電流の飽和が抑制され、ベース電流を 0.1mA 流すのに必要なベース電圧が約 10mV 程度小さくなっている。これにより、ベース抵抗 R_B が約 100Ω だけ低減され、式(1)に示す最大遮断周波数 f_{max} が向上することになる。

【0101】このように、本発明により、高周波特性の劣化が小さく、接合耐圧を同程度に保ったまま、ヘテロバイポーラトランジスタの低ベース抵抗が図られ、最大遮断周波数 f_{max} の増大、低雑音化が実現できる。

【0102】なお、上記各実施形態では、バイポーラトランジスタ単体の特性向上について説明してきたが、当然のことながら、バイポーラトランジスタとCMOSを集積化したBiCMOSのバイポーラ部分に本発明によるトランジスタを用いてもかまわない。

【0103】さらに、本発明の各実施形態では、NPN型SiGe-HBTを例にとりて説明したが、PNP型SiGe-HBTについても、本発明を適用することにより、上記各実施形態で説明した効果を発揮することができる。

【0104】また、上記各実施形態においては、ベース

10

20

30

40

50

層(SiGeスペーサ層及び傾斜SiGeベース層)をSiGeにより構成したが、ベース層をSiGeC、あるいはSiとはバンドギャップの異なる他の半導体材料により構成してもよい。

【0105】

【発明の効果】本発明のバイポーラトランジスタ又はその製造方法によると、第1導電型不純物を含むコレクタ層となる第1の半導体層の上に、第2導電型不純物を含む第2の半導体層と、少なくとも下部に第2導電型不純物を含む第3の半導体層とを積層し、その後、第3の半導体層のうち一部に第1導電型不純物を導入してエミッタ拡散層を設け、第2の半導体層と第3の半導体層の少なくとも下部とによって外部ベース層中のリンク領域を構成するようにしたので、ベース抵抗の低減を図ることができ、よって、最大遮断周波数 f_{max} の高い、低雑音化されたヘテロバイポーラトランジスタの提供を図ることができる。

【図面の簡単な説明】

【図1】(a)、(b)は、第1の実施形態に係るシングルポリシリコン型のHBTの構造を示す断面図、及びエミッターベース接合部付近の構造を拡大して示す部分断面図である。

【図2】(a)～(d)は、第1の実施形態の製造工程のうちはじめからエミッタ引き出し電極用ポリシリコン膜を堆積するまでの工程を示す断面図である。

【図3】(a)～(d)は、第1の実施形態の製造工程のうちエミッタ引き出し電極の形成から被覆酸化膜を堆積するまでの工程を示す断面図である。

【図4】(a)～(d)は、第1の実施形態の製造工程のうちエミッタ引き出し電極などの側面へのサイドウォールの形成から配線の形成までの工程を示す断面図である。

【図5】(a)、(b)は、第2の実施形態に係るダブルポリシリコン型のHBTの構造を示す断面図、及びエミッターベース接合部付近の構造を拡大して示す部分断面図である。

【図6】(a)～(e)は、第2の実施形態の製造工程のうちはじめからコレクタ引き出し電極にエミッタ開口部を形成するまでの工程を示す断面図である。

【図7】(a)～(e)は、第2の実施形態の製造工程のうちエミッタ開口部の形成から被覆酸化膜を堆積するまでの工程を示す断面図である。

【図8】(a)～(d)は、第2の実施形態の製造工程のうちエミッタ拡散層の形成から配線の形成までの工程を示す断面図である。

【図9】Siキャップ層の厚みが20nmの場合における本発明の効果を示すためのHBT断面構造におけるホール電流密度分布を示す図である。

【図10】Siキャップ層の厚みが30nmの場合における本発明の効果を示すためのHBT断面構造における

ホール電流密度分布を示す図である。

【図11】本発明のダブルポリシリコン型HBTのSiキャップ層におけるボロンのドーピング濃度と厚みとを変化させたときのコレクタ電流(A)と、電流利得遮断周波数 f_T との相関関係を示す図である。

【図12】Siキャップ層におけるボロンのドーピング濃度と厚みとを変化させたときのベース電圧(V)に対するベース電流(A)の依存性をシミュレーションした結果を示す図である。

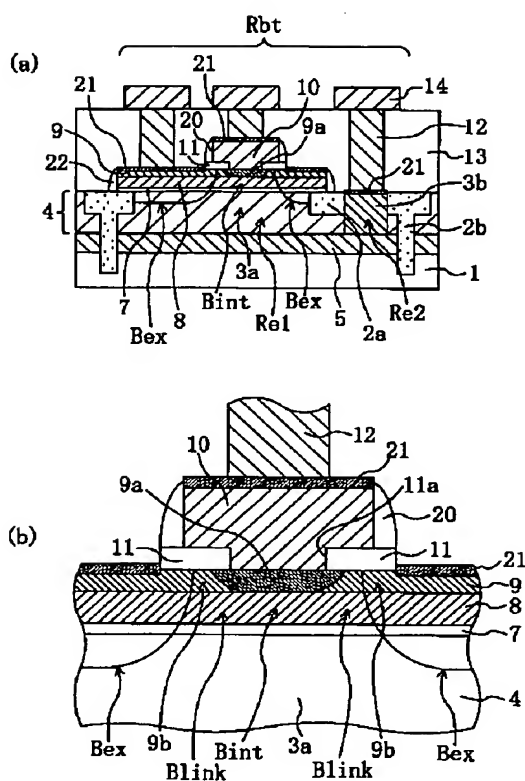
【図13】(a)、(b)は、従来のシングルポリシリコン型のSiGe-HBTの構造を示す断面図、及びエミッターベース接合部付近の構造を拡大して示す部分断面図である。

【図14】(a)、(b)は、従来のダブルポリシリコン型のSiGe-HBTの構造を示す断面図、及びエミッターベース接合部付近の構造を拡大して示す部分断面図である。

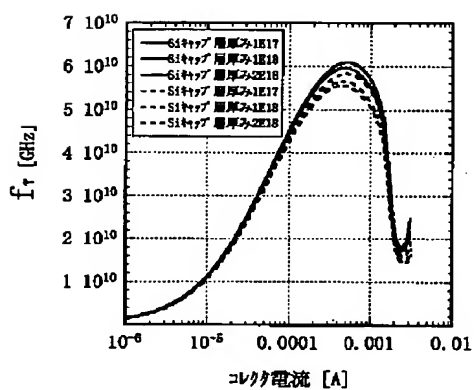
【符号の説明】

Re1	第1の活性領域
Re2	第2の活性領域
Rbt	HBT形成領域
Bint	真性ベース層
Blink	リンク領域
Bex	外部ベース注入領域
1	Si基板
2a	シャロートレンチ
2b	ディープトレンチ
3a	Siコレクタ層
3b	コレクタウォール層
4	Siエピタキシャル層
5	コレクタ埋め込み層
7	SiGeスペーサ層
8	傾斜SiGeベース層
9	Siキャップ層
9a	エミッタ拡散層
10	エミッタ引き出し電極
11	下敷き酸化膜
11a	エミッタ開口部
12	タングステンプラグ
13	層間絶縁膜
14	金属配線
17	フォトリジスト膜
20	サイドウォール
21	シリサイド層
31	ベース引き出し電極
32	電極間絶縁膜
33	酸化膜サイドウォール
34	ポリシリコンサイドウォール
40	ベース接合開口部

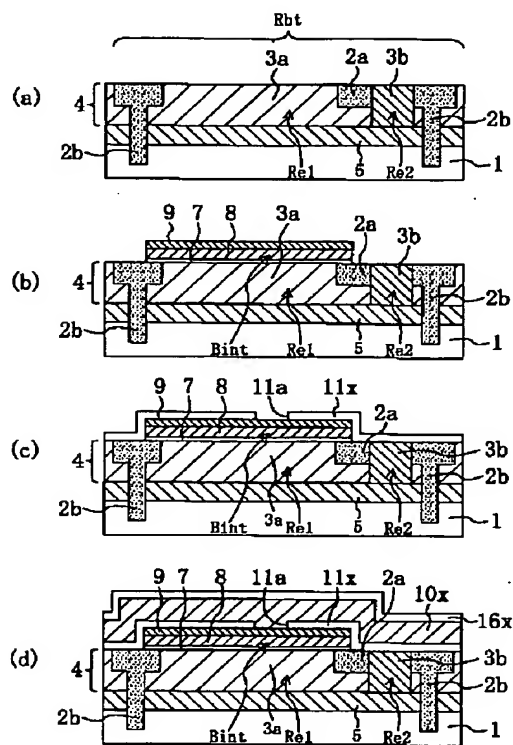
【図 1】



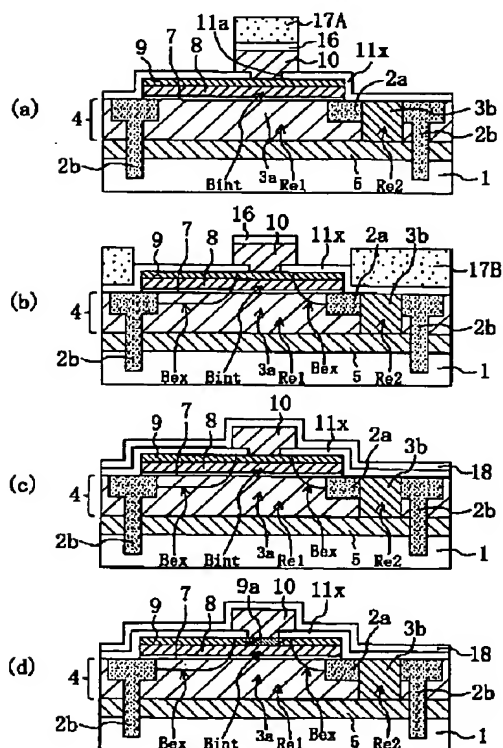
【図 1 1】



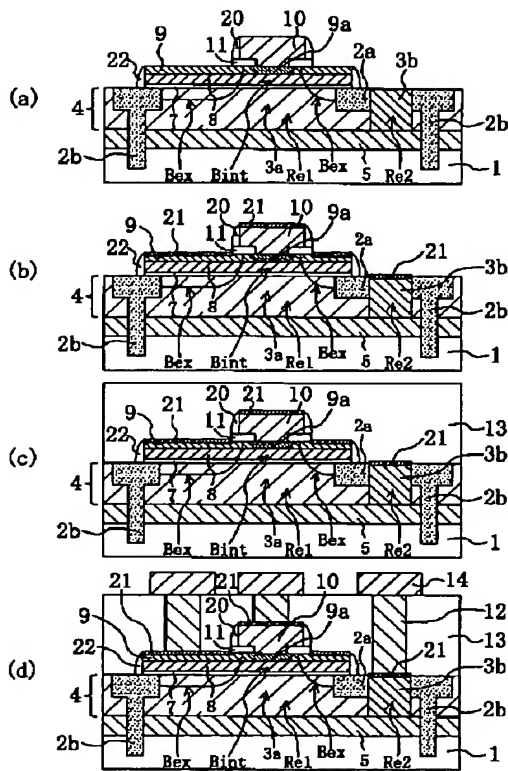
【図2】



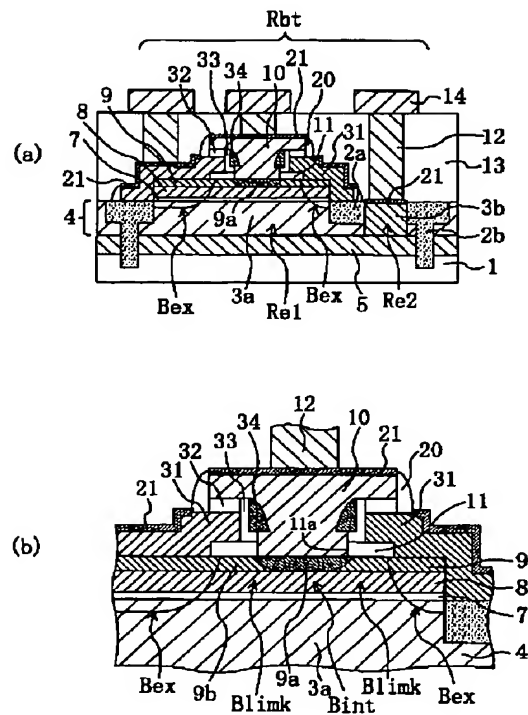
【図3】



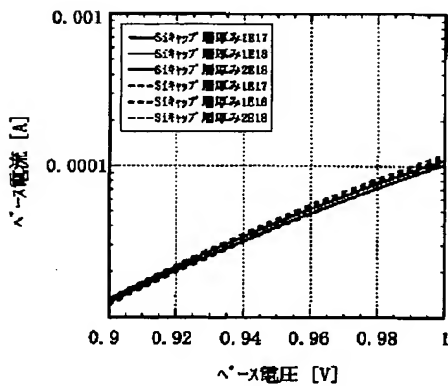
【図4】



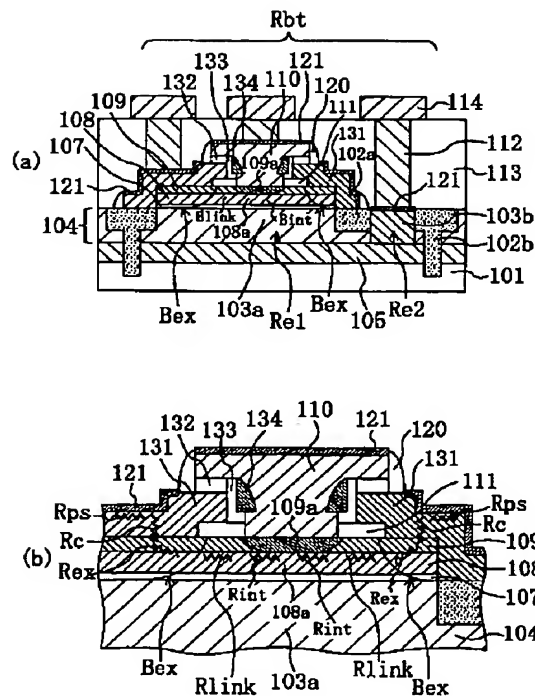
【図5】



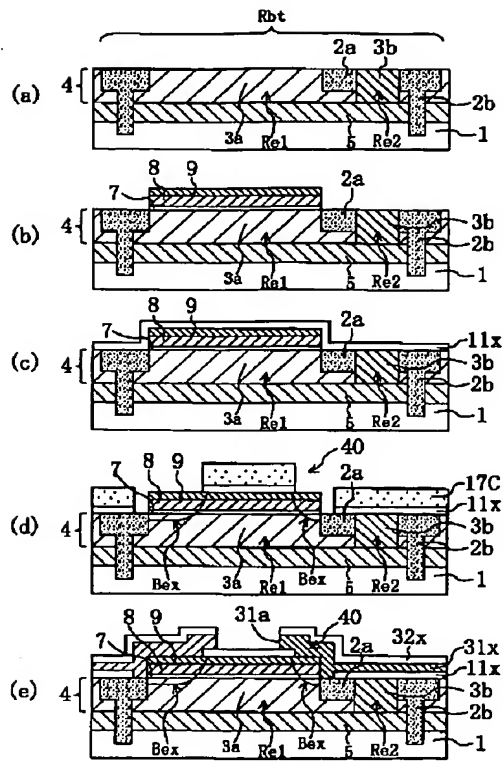
【図12】



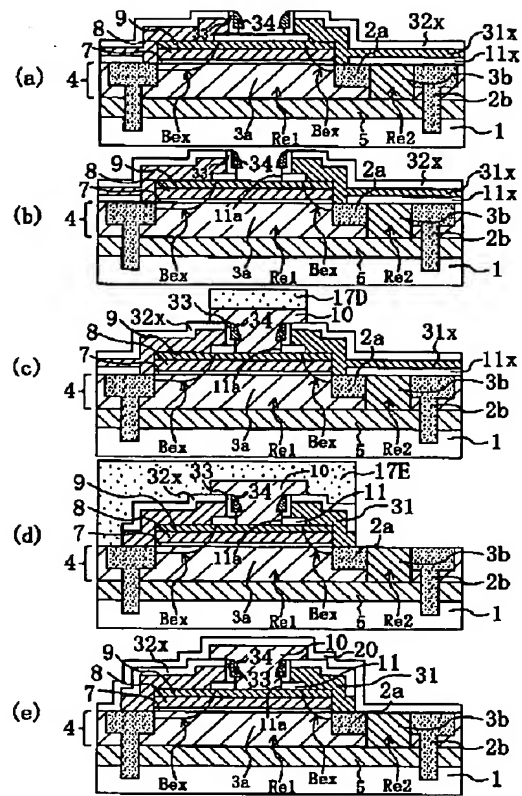
【図14】



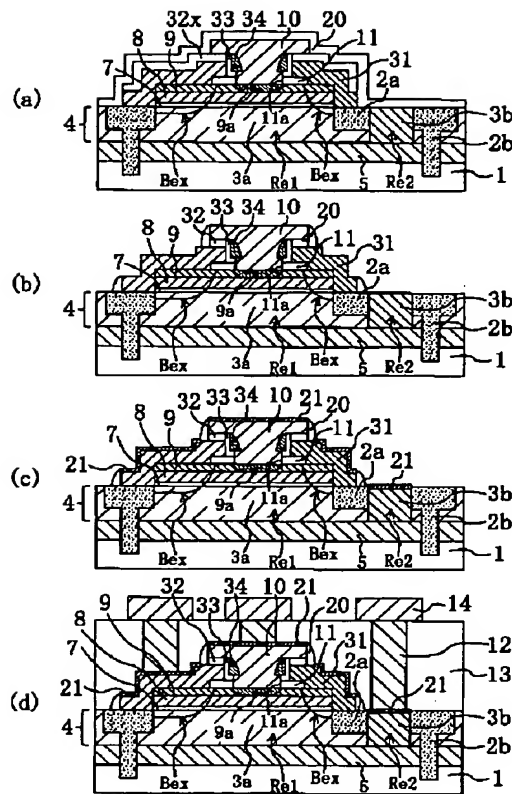
【図6】



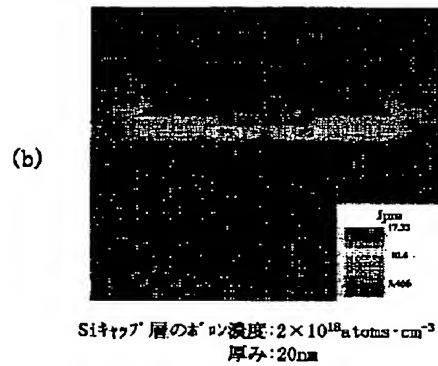
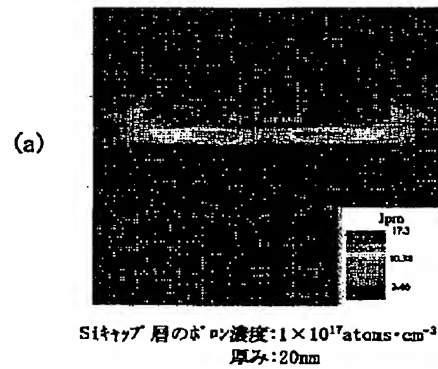
【図7】



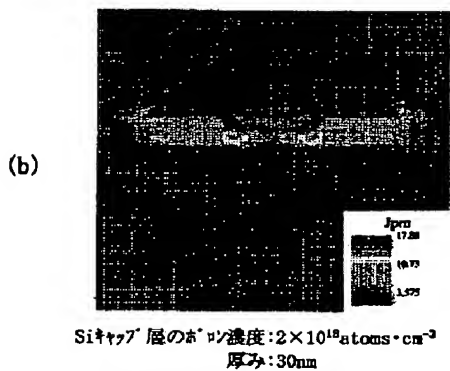
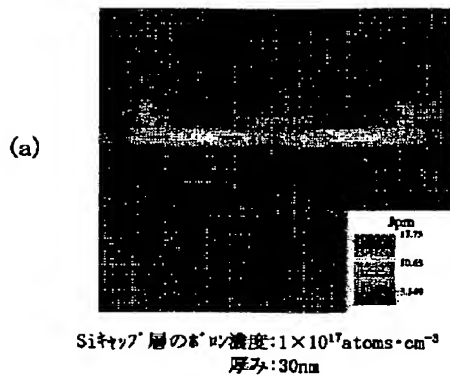
【図8】



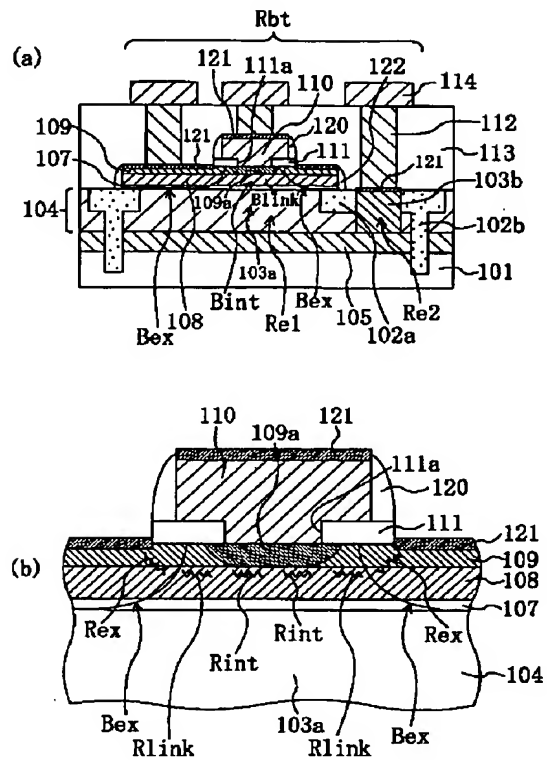
【図9】



【図10】



【図13】



フロントページの続き

(72) 発明者 大西 照人
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 5F003 AP04 AP05 BA11 BA27 BB00
BB01 BB02 BB04 BB05 BB06
BB07 BB08 BC08 BE02 BE07
BF06 BH07 BH18 BH94 BH99
BM01 BP21 BP31